

전자공학개론

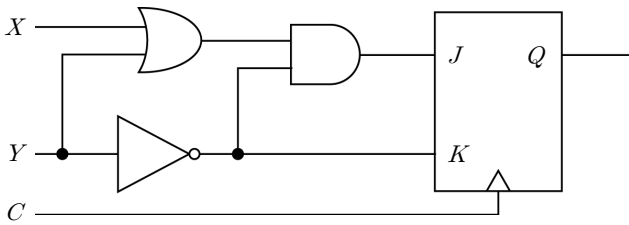
문 1. 다음 논리식 중 나머지 셋과 다른 하나는?

- ① $\bar{A} \cdot \bar{B} + A \cdot B$ ② $\overline{A \oplus B}$
- ③ $(\bar{A} + B) \cdot (A + \bar{B})$ ④ $\overline{A \cdot \bar{B}} + \overline{\bar{A} \cdot B}$

문 2. 반도체의 pn 접합에서 발생하는 현상에 대한 설명으로 옳지 않은 것은?

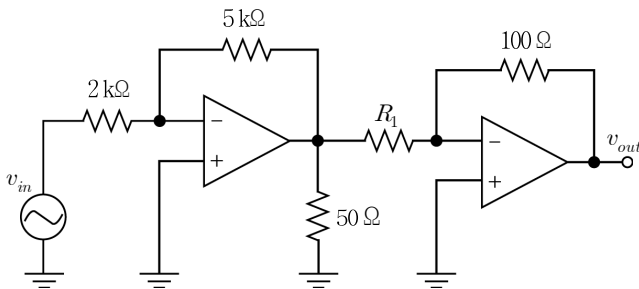
- ① 순방향 바이어스를 인가할 경우, 전위장벽(potential barrier)이 낮아진다.
- ② 역방향 바이어스를 인가할 경우, n 영역으로 확산되는 정공의 수가 증가한다.
- ③ 역방향 바이어스를 인가할 경우, 공핍영역은 확장한다.
- ④ 평형상태에서 pn 접합부에는 공핍영역이 존재한다.

문 3. 다음과 같은 J-K 플립플롭을 이용한 회로에서 XY 입력이 11, 10으로 순차적으로 들어갈 경우 Q의 변화는? (단, Q의 현재값은 1이다)



- ① 1 → 0 → 0 ② 1 → 0 → 1
- ③ 1 → 1 → 0 ④ 1 → 1 → 1

문 4. 다음 회로에서 전체 전압이득 (v_{out}/v_{in})의 절대값을 10으로 만들기 위한 저항 R_1 [Ω]은? (단, 전압원과 연산증폭기는 이상적이다)



- ① 10 ② 15
- ③ 20 ④ 25

문 5. 차동증폭기의 특성에 대한 설명으로 옳지 않은 것은?

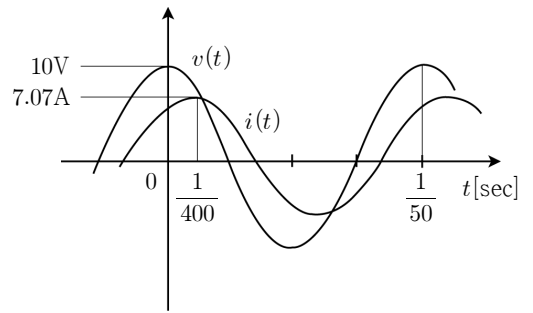
- ① 차동증폭기는 두 개의 입력에 함께 작용하는 잡음 성분을 제거하는 효과가 있다.
- ② 이상적인 차동 증폭기의 동상모드제거비(CMRR)는 ∞이다.
- ③ 차동증폭기는 두 개의 입력 차이에 상관없이 출력을 일정하게 만들 수 있는 증폭기이다.
- ④ 차동증폭기는 2개의 트랜지스터를 대칭적으로 구성하여 회로를 설계한다.

문 6. 다음 카르노맵을 간략화하여 나타낸 논리식은?

	CD			
AB	00	01	11	10
00	0	1	0	0
01	1	1	1	1
11	1	1	1	0
10	0	1	0	0

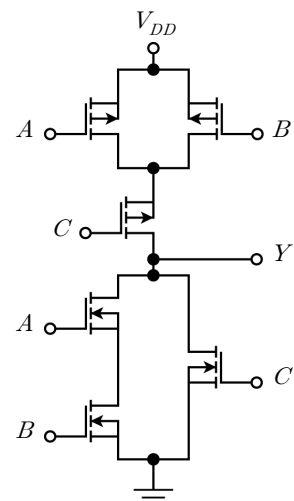
- ① $\bar{A}B + \bar{C}D + BD + \bar{B}\bar{C}$
- ② $\bar{A}B + \bar{C}D + BD + A\bar{C}\bar{D}$
- ③ $\bar{A}B + \bar{C}D + BD + A\bar{C}$
- ④ $\bar{A}B + \bar{C}D + BD + AB$

문 7. RL 직렬회로에서 전원 $v(t)$ 를 인가하였을 때 회로에 흐르는 전류 $i(t)$ 가 그림과 같이 측정되었다. 이 때 R [Ω] 및 L [mH]의 값으로 가장 가까운 것은?



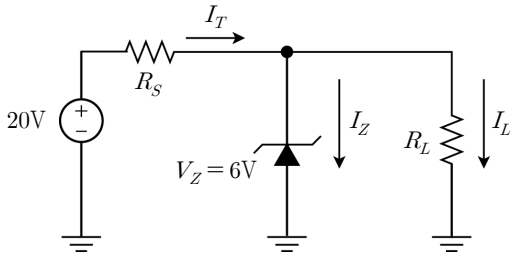
- | | |
|----------|----------|
| <u>R</u> | <u>L</u> |
| ① 1 | 2.2 |
| ② 1 | 3.2 |
| ③ 1.4 | 2.2 |
| ④ 1.4 | 3.2 |

문 8. 그림은 CMOS로 구성된 하나의 디지털 논리회로이다. 이 회로의 출력 Y는?



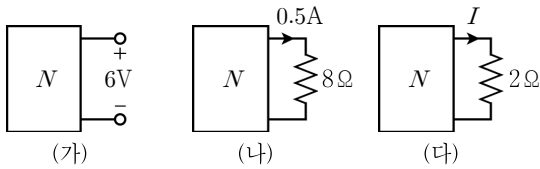
- ① $Y = (A + B) \cdot C$
- ② $Y = (\bar{A} \cdot \bar{B}) + \bar{C}$
- ③ $Y = (\bar{A} + \bar{B}) \cdot \bar{C}$
- ④ $Y = (A \cdot B) + C$

문 9. 다음 회로에서 정전압이 유지되는 상태에서 허용될 수 있는 최소부하저항 $R_{L(\min)}$ [kΩ] 및 최대부하전류 $I_{L(\max)}$ [mA]는?
(단, 제너무류전류 $I_{ZK} = 2$ [mA], 제너최대전류 $I_{ZM} = 100$ [mA], $R_S = 2$ [kΩ]이고, 제너임피던스는 무시한다)



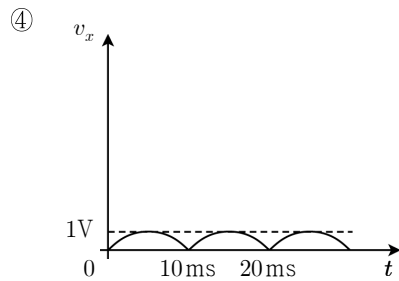
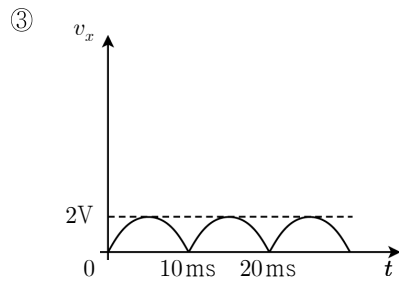
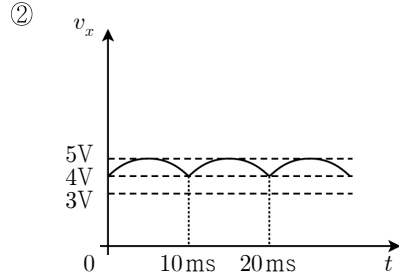
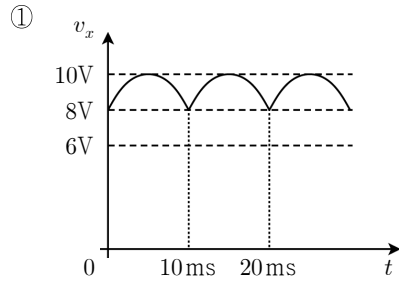
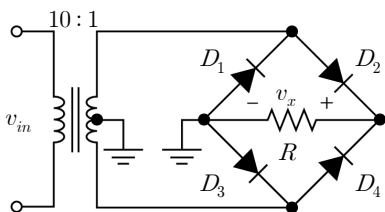
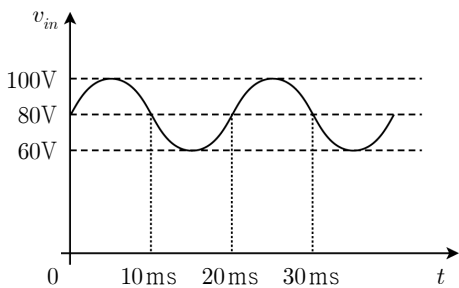
- | | $R_{L(\min)}$ | $I_{L(\max)}$ |
|---|---------------|---------------|
| ① | 1.2 | 5 |
| ② | 1.2 | 7 |
| ③ | 1 | 5 |
| ④ | 1 | 7 |

문 10. 그림 (가)와 그림 (나)를 이용하여 그림 (다)의 전류값 I [A]를 구하면? (단, N 은 전원을 포함한 임의의 저항회로이다)

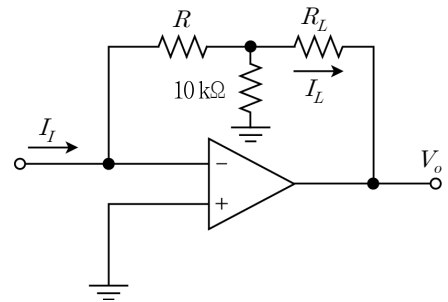


- | | |
|--------|-------|
| ① 0.25 | ② 0.5 |
| ③ 1 | ④ 2 |

문 11. 그림은 변압기와 브리지 다이오드를 사용한 정류회로이다. 입력 신호 v_{in} 을 인가하였을 때, v_x 의 파형으로 옳은 것은? (단, 변압기와 다이오드들은 모두 이상적이다)



문 12. 다음 회로에서 입력전류 I_I 와 부하전류 I_L 사이의 전류비(I_L/I_I)가 10이 되도록 하는 저항 R [kΩ]은? (단, 연산증폭기는 이상적이다)



- | | |
|------|-------|
| ① 30 | ② 60 |
| ③ 90 | ④ 120 |

문 13. 증가형 MOSFET에서 반전층(inversion layer)의 전하와 전기적으로 같은 극성을 가지는 것은?

- ① 반전층이 형성되었을 때 게이트 전극의 전하(charge)
- ② 드레인(drain) 영역의 다수 캐리어(majority carrier)
- ③ 소스(source) 영역의 소수 캐리어(minority carrier)
- ④ 기판의 다수 캐리어(majority carrier)

